

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

MANUFACTURE OF CONDUCTIVITY MODULATION TYPE MOSFET

Patent Number: JP5343667
Publication date: 1993-12-24
Inventor(s): HAGINO HIROYASU
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5343667
Application Number: JP19920151695 19920611
Priority Number(s):
IPC Classification: H01L29/784 ; H01L21/263 ; H01L21/324 ; H01L21/336
EC Classification:
Equivalents: JP2768143B2

Abstract

PURPOSE: To reduce V_{th} without latchup a parasitic thyristor by accelerating a switching operation of an IGBT.

CONSTITUTION: A method for manufacturing an IGBT for controlling an operation of a bipolar transistor by a MOSFET formed of an emitter region, a base region, a conductivity modulation layer and a gate electrode of the transistor so formed as to be bridged thereover comprises the steps of damaging the modulation layer by irradiating it with an electron beam of the step 1, shortening a life time of minority carrier in the modulation layer, and damaging a gate oxide film by irradiating it with an electron beam of the step 3 to lower V_{th} .

Data supplied from the esp@cenet database - I2

(51)IntCl ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/784				
21/263		8617-4M		
21/324	Z	8617-4M		
		7377-4M		
		7377-4M		
			H01L 29/78	301 J
				301 P

審査請求 未請求 請求項の数1(全4頁) 最終頁に続く

(21)出願番号 特願平4-151695

(22)出願日 平成4年(1992)6月11日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 萩野 浩靖

福岡県福岡市西区今宿東一丁目1番1号

三菱電機株式会社福岡製作所内

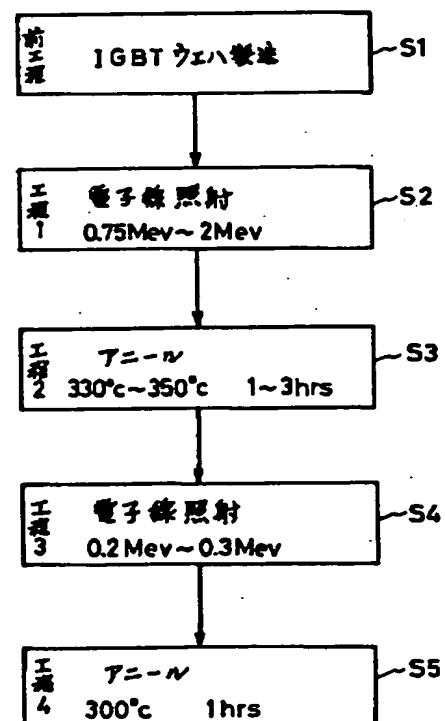
(74)代理人 弁理士 高田 守

(54)【発明の名称】 伝導度変調型MOSFETの製造方法

(57)【要約】

【目的】 IGBTのスイッチング動作を早くし、寄生サイリスタのラッチアップを起こすこと無しに V_{th} を低くするようにすることを目的とする。

【構成】 バイポーラトランジスタの動作を、そのトランジスタのエミッタ領域、ベース領域および伝導度変調層とそれらにまたがるように形成されたゲート電極とで構成されるMOSFETで制御するIGBTの製造において、工程1の電子線照射で伝導度変調層に損傷を与え、その伝導度変調層における少数キャリアのライフタイムを短くして、工程3の電子線照射でゲート酸化膜に損傷を与え V_{th} を下げる。



1

【特許請求の範囲】

【請求項1】 基板上に形成された第1導電型の第1の不純物半導体層と、前記第1の不純物半導体層の上に形成された第2導電型の第2の不純物半導体層と、前記第2の不純物半導体層の上に選択的に形成された第1導電型の第3の不純物半導体層と、前記第3の不純物半導体層の上に選択的に形成された第2導電型の第4の不純物半導体層と、前記第2の不純物半導体層の上にその両端が前記第3の不純物半導体層と第4の不純物半導体層との上に架かるように形成された絶縁層と、前記絶縁層の上に形成されたゲート電極とから構成され、前記第1の不純物半導体層、第2の不純物半導体層、第3の不純物半導体層、第4の不純物半導体層から構成されるバイポーラ型のトランジスタ部を、前記第2の不純物半導体層、第3の不純物半導体層、第4の不純物半導体層と絶縁層、ゲート電極とで形成されるMOSFET部で制御する伝導度変調型MOSFETの製造方法において、電子線を前記基板に照射する第1の工程と、前記第1の工程に次いで前記基板を加熱してアニールする第2の工程と、前記第1の工程より低いエネルギーの電子線を前記基板に照射する第3の工程と、前記第3の工程に次いで前記第2の工程より低い温度で前記基板を加熱してアニールする第4の工程とを含む伝導度変調型MOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、伝導度変調型MOSFETの製造方法に関するものである。

【0002】

【従来の技術】図3は、nチャネル伝導度変調型MOSFET (IGBT: 絶縁ゲート型バイポーラトランジスタ) を示す断面図である。図3において、1はp⁺コレクタ領域、2はp⁺コレクタ領域1からのキャリア(ホール)の注入を制限するためのn⁺バッファ領域、3は高抵抗率を有するn型ボディ領域、4はn型ボディ領域3の主表面の一部にp型不純物をイオン注入する方法で形成されたp型ベース領域、5はこのp型ベース領域4内に選択的に高濃度のn型不純物をイオン注入あるいは拡散することにより形成されたn⁺エミッタ領域である。6は2つのn⁺エミッタ領域に両端が架かるように形成されたゲート酸化膜であり、このゲート酸化膜6は隣接するIGBTセル間で一体となるようにn型ボディ領域3の表面上にも形成されている。7はゲート酸化膜6の上に形成されたポリシリコンからなるゲート電極、8はp型ベース領域4及びn⁻エミッタ領域5の両方に電気的に接続するように形成されたアルミなどの金属からなるエミッタ電極、9はp⁺コレクタ領域1の裏面に形成された金属のコレクタ電極である。

【0003】この伝導度変調型MOSFET (IGB

2

T)のゲート電極7に正、エミッタ電極8にV_{th}(閾値電圧)を超える負のバイアス電圧V_G(ゲート電圧)を印加すると、n⁺エミッタ領域5とn型ボディ領域3で挟まれたp型ベース領域4の領域41の表面がn型に反転し(反転層)、電子がこの反転層を通過して、n⁻エミッタ領域5からn型ボディ領域3に注入される。それにとともに、p⁺コレクタ領域1からn⁺バッファ領域2を通過してn型ボディ領域3へホールが注入される。このように、IGBTは基本的にはバイポーラの動作をする。このIGBTは、p⁺コレクタ領域1とn型ボディ領域3とp型ベース領域4とで形成されるトランジスタ部を、ゲート電極7とゲート酸化膜6とp型ベース領域4とで形成されるMOSFETでベース駆動する素子である。

【0004】IGBTは、以上のようにバイポーラ動作をし、n型ボディ領域3で伝導度変調が起こり、この領域の抵抗は大幅に低下し、MOSFET部が導電変調を受けるため、高耐圧化しても十分なベース電流を上記トランジスタ部に供給できるので、通常のMOSFETと比較して、高耐圧でオン電圧の低い素子が得られる。

【0005】ところがこのままでは、伝導度変調の担い手となる少数キャリア(ホール)がスイッチング時にはn型ボディ領域3の残留キャリアとなるため、高速性が阻害されターンオフ時間が長いという問題があった。この残留キャリアのライフタイムを短くする制御の1つとして、電子線照射が挙げられる。電子線照射によりn型ボディ領域3に損傷を与えることで、正孔(キャリア)のライフタイムを短くできる。またこのとき、同時に、ゲート酸化膜6にも損傷を与え、この損傷が+イオン固定電荷として働き、V_{th}を低下させる。

【0006】ところで、これらの損傷は熱的に不安定であるため、実用上安定させるためには、実使用上に起こる温度よりも十分に高い(約300℃以上)温度でアニールをする必要がある。このアニールによって、n型ボディ領域3中にできた損傷やゲート酸化膜6中の損傷の一部は回復する。この回復の度合いは、温度と時間に依存し、特に温度に対する依存性は強く、温度を上げると、電子線の照射による損傷の回復量は増す。この回復メカニズムを用いることによって、高速でかつ、ラッチアップ耐性の強いデバイスが得られる。

【0007】

【発明が解決しようとする課題】V_{th}は低いほど電子を多く供給することができるため、オン電圧を下げるができるが、従来のIGBTは以上のようにして製造されていたため、電子線でゲート酸化膜6に損傷を与えてV_{th}を低下させても、これらの損傷を安定させるために行うアニールでそのゲート酸化膜6の損傷が回復してしまい、初期設計ほどV_{th}が下がらないと言う問題があった。一方、V_{th}を下げるための他の方法として、p型ベース領域4の不純物濃度を下げるか、ゲート

酸化膜6を薄くするからであるが、双方とも他の特性への影響がある。

【0008】前者のp型ベース領域4の不純物濃度を下げる方法によるとキャリアの数が減少し、n⁺エミッタ領域5直下のp型ベース領域4の横方向抵抗R_b(図3)が大きくなり、n⁺エミッタ領域5、p型ベース領域4、n型ボディ領域3、p⁺コレクタ領域1からなる寄生サイリスタが動作し易くなり(ラッチアップ)、IGBTとしての安全動作領域が低下する。また、後者のゲート酸化膜6を薄くする方法によると、入力容量が増えてスイッチング時間が長くなる。

【0009】この発明は、以上のような問題を解決するためになされたもので、IGBTのスイッチング動作を早くし、寄生サイリスタのラッチアップを起こすこと無しにV_{th}を低くすることを目的とする。

【0010】

【課題を解決するための手段】以上の問題点を解消するためにこの発明では、電子線を基板に照射する第1の工程と、第1の工程に次いで基板を加熱してアニールする第2の工程と、第1の工程より低いエネルギーの電子線を基板に照射する第3の工程と、第3の工程に次いで第2の工程より低い温度で基板を加熱してアニールする第4の工程を含むことを特徴とする。

【0011】

【作用】まず、始めの電子線照射で伝導度変調を起こす領域が損傷をうけ、底の少数キャリアのライフタイムが短くなる。この次の電子線照射では、ゲート酸化膜が損傷を受け、V_{th}が下がる。

【0012】

【実施例】以下この発明の1実施例を図を参照して説明する。図1はこの発明の製造フローを示すフローチャートである。まず、ウェハ上にIGBTを形成する前工程を図3を参照して説明する。ボロンなどの不純物を有する比抵抗0.001~0.02Ω/cm程度のp⁺コレクタ領域1(基板)の上に、厚さ10~20μm、比抵抗0.03~0.1Ωcmのn⁺バッファ領域2をエピタキシャル成長により形成する。さらに連続的にエピタキシャル成長させることにより、高抵抗率のn型ボディ領域3を形成する。例えば定格電圧が1200Vクラスのものであれば、約50~60Ω/cm程度の比抵抗で、厚さが約100μmの厚さで形成する。

【0013】次に、n型ボディ領域3上に全面に約厚さ800~1000Å程度の酸化膜を形成し、この酸化膜上に約5000~6000Å程度のポリシリコン層を形成する。これらの酸化膜、ポリシリコン層に対する写真製版によってゲート酸化膜6及びゲート電極7を形成し、このゲート電極7をマスクとし低温注入法によりボロンを注入し、p型ベース領域4を形成する。このときの注入量は、4~8×10¹⁴cm⁻²程度である。さらに、同じくゲート電極7をマスクにして、p型ベース領

域4内に選択的にリン、砒素などの不純物を注入または拡散させてn⁺エミッタ領域5を形成する。そして、n⁺エミッタ領域5とp型ベース領域4とを電氣的に接続するアルミなどの金属によりなるエミッタ電極8を形成し、さらにp⁺コレクタ領域1にオーミック接続されるコレクタ電極9が形成する(ステップS1)。

【0014】つぎに、この発明の工程1として、このIGBTウェハに約0.75MeV程度の加速電圧で5~15×10¹⁴/cm²程度のドーズ量の電子線を照射する(ステップS2)。このとき、少数キャリアのライフタイムは数10ns以下になっている。また、V_{th}は、電子線照射前には8~10V程度であったものが、-5~0V程度まで低下する。次に、工程2として後工程の組み立て時の熱処理などを考慮にいれ、330~350℃程度で1~3時間程度アニールする(ステップS3)。すると、V_{th}は照射前より約2V程度低いところまで回復する。また、その時、n型ボディ領域3の少数キャリアのライフタイムは200~300ns程度になっている。

【0015】次に、工程3として工程1の1回目の照射より低い加速電圧(例えば200~300keV程度が適当)で、かつ、約10¹⁵cm⁻²程度のドーズ量で再び電子線照射を行う(ステップS4)。このとき、エネルギーが200~300keVと低いと、n型ボディ領域3にはその少数キャリアのライフタイムに影響を与えるような損傷はほとんどできないが、ゲート酸化膜6の中には充分損傷ができ、V_{th}は低下する。このときのV_{th}は、やはり0V近傍まで下がる。次に、工程4として、このV_{th}を熱的に安定させるために、約300℃で約1時間程度アニールする(ステップS5)。この段階では、330~350℃以下で回復する損傷は回復してしまっているため、少数キャリアのライフタイムはほとんど変わらないが、2回目の電子線照射でできたゲート酸化膜6の中の損傷が部分的に回復するため、最終的にV_{th}は望ましい4~6V程度になる。

【0016】図2には各工程後のV_{th}をキャリアライフタイムの変化を示す。工程1と工程2の処理でn型ボディ領域3の少数キャリアのライフタイムが短くなり、工程1~工程4の処理でV_{th}は望ましい5V程度まで下がっている。また、工程1と工程2の処理で短くなった少数キャリアのライフタイムは、工程3と工程4の処理を行っても変化していない。なお、この実施例では、nチャネルIGBTに関して述べたが、pチャネルIGBTにも適用できることは言うまでもない。

【0017】

【発明の効果】以上説明したように、この発明によれば、4つの工程により伝導度変調層の少数キャリアのライフタイムを短くすると同時にV_{th}を適正な値にできるので、高速でかつオン抵抗の低い伝導度変調型MOSFETを製造することが可能となる。また、寄生サイリ

スタの動作を抑え、伝導度変調型MOSFETとしての安全動作範囲を狭めることがないと言う効果もある。

【図面の簡単な説明】

【図1】この発明の1実施例である製造方法を示すフローチャートである。

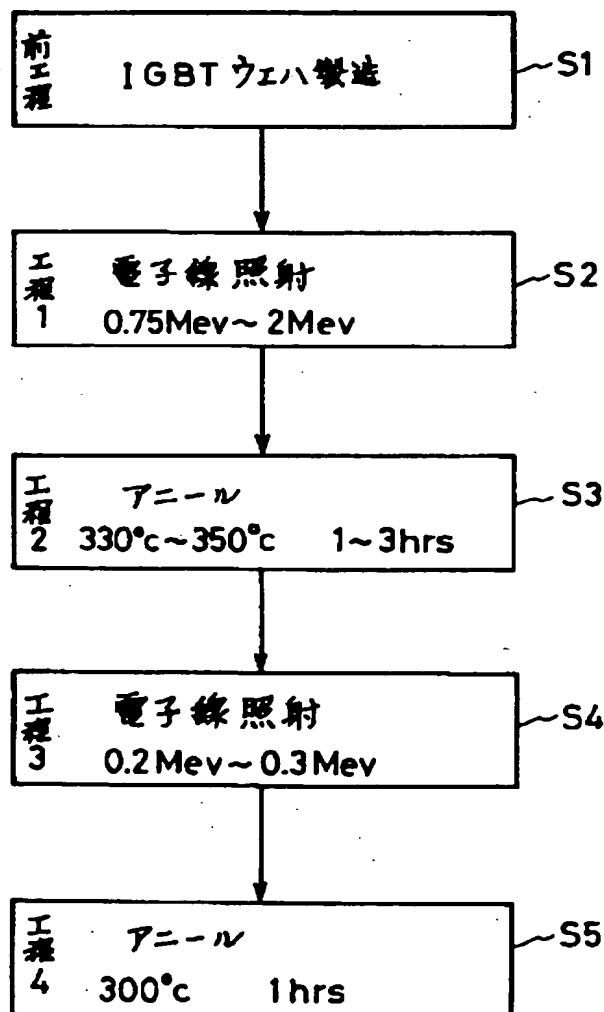
【図2】図1のフローチャートで示す工程毎のIGBTの V_{th} とn型ボディ領域（伝導度変調層）の少数キャリアのライフタイムの変化を示す変化図である。

【図3】伝導度変調型MOSFETの構成を示す断面図である。

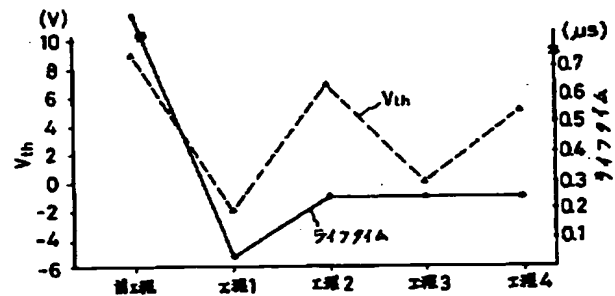
【符号の説明】

- 1 p⁺コレクタ領域
- 2 n⁺バッファ領域
- 3 n型ボディ領域
- 4 p型ベース領域
- 5 n⁺エミッタ領域
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 n⁺エミッタ電極
- 10 9 コレクタ電極

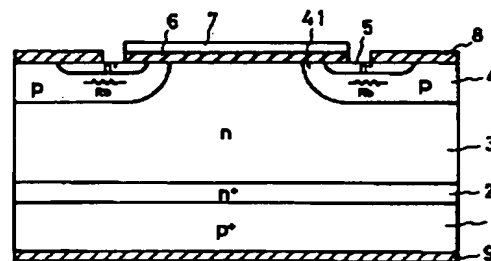
【図1】



【図2】



【図3】



フロントページの続き